

**DEVICE FOR ACTIVATING SYSTEM OPERATING AT 'SLEEP' MODE**

Patent Number: ☐ JP11167442  
Publication date: 1999-06-22  
Inventor(s): JEAN-NOEL DIBAUD  
Applicant(s): EM MICROELECTRON MARIN SA  
Requested Patent: SG73551  
Application Number: JP19980258027 19980911  
Priority Number(s):  
IPC Classification: G06F1/32; G06F1/26; G06F1/04; G06F9/46  
EC Classification:  
Equivalents: ☐ CH691640, TW394865

**Abstract**

**PROBLEM TO BE SOLVED:** To provide a system for receiving the supply of power from a power source and operating at a 'sleep' mode.

**SOLUTION:** A system clock 12, a vibration detection means 13 monitoring the operation of a system clock and a means 16 activating the system when the system is at the 'sleep' mode are provided.

When the reactivating means of the system is in the system and the system is switched to the 'sleep' mode, an autonomous time base is immediately formed. When a prescribed time interval terminates, the system is activated again. When the system is not at the 'sleep' mode, it functions differently from the time base and reactivation.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-167442

(43) 公開日 平成11年(1999) 6月22日

(51) IntCl.<sup>8</sup>  
 G 0 6 F 1/32  
 1/26  
 1/04 3 0 1  
 9/46 3 1 5

F I  
 G 0 6 F 1/00 3 3 2 Z  
 1/04 3 0 1 C  
 9/46 3 1 5 Z  
 1/00 3 3 4 F

審査請求 未請求 請求項の数7 OL (全 9 頁)

(21) 出願番号 特願平10-258027

(22) 出願日 平成10年(1998) 9月11日

(31) 優先権主張番号 2 1 5 7 / 9 7

(32) 優先日 1997年 9月12日

(33) 優先権主張国 スイス (CH)

(71) 出願人 596162740

イーエム・マイクロエレクトロニク・マリ  
ン・エス アースイス国・シイエチ 2074・マリン・リ  
ュ ドソル・3

(72) 発明者 ジャン・ノエル・ディボー

スイス国・シイエチ-2300・ラ ショー  
ドゥーフォン・クロワフェデラル・6

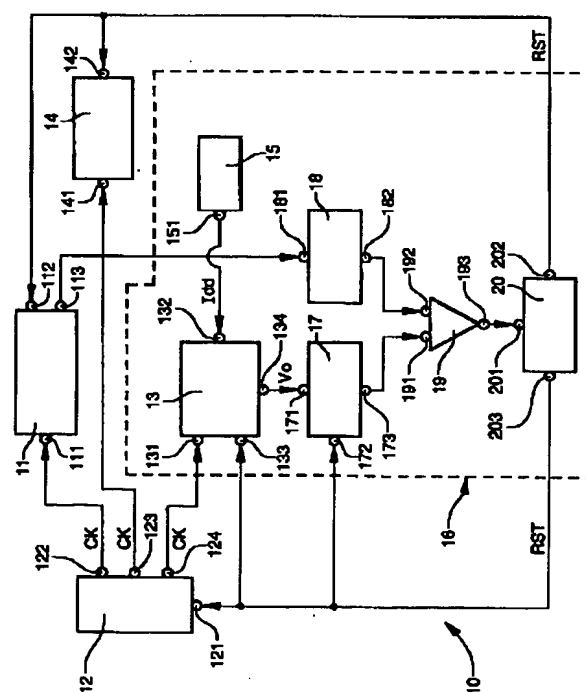
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 「スリープ」モードで動作しているシステムを再びアクティブにする装置

(57) 【要約】

【課題】 電源から電力の供給を受け、「スリープ」モードで動作できるシステム10を提供する。

【解決手段】 システム・クロック12、システム・クロックの動作を監視する振動検出手段13、およびシステムが「スリープ」モードになっている場合にシステムを再びアクティブにする手段16を含む。このシステムの特徴は、再アクティブ化手段がシステムの内部にあり、システムが「スリープ」モードに切り替わると、直ちに自律的タイム・ベースを形成し、所定の時間間隔の終了時にこのシステムを再アクティブ化し、システムが「スリープ」モードではない場合は、タイム・ベースおよび再アクティブ化とは異なる機能を果たすことである。



(2)

特開平11-167442

1

2

## 【特許請求の範囲】

【請求項1】 電源から電力の供給を受け、「スリープ」モードで動作可能なシステム(10)であって、第1の周波数でクロック信号を供給するように構成されたクロック・システム(12)と、

「スリープ」モードでクロック信号を受信しないように構成された中央処理装置(11)と、

システム・クロックの動作を監視する振動検出手段(13)と、

システムが「スリープ」モードのとき、それを再びアクティブにする手段(16)とを含み、

再アクティブ化手段がシステムの内部にあり、システムが「スリープ」モードに切り替わると、直ちに自律的タイム・ベースを形成し、所定の時間間隔の終了時にシステムを再アクティブ化し、システムが「スリープ」モードではない場合は、タイム・ベース形成および再アクティブ化とは異なる機能を果たすことを特徴とするシステム(10)。

【請求項2】 再アクティブ化手段(16)が、「スリープ」モードで自律的タイム・ベースを形成し、「ラン」モードまたは「スタンバイ」モードでシステム・クロックの動作を監視するのに使用される振動検出手段を含むことを特徴とする請求項1に記載のシステム(10)。

【請求項3】 振動検出手段が、「スリープ」モードで第1の周波数よりも低い第2の周波数のパルス(V0)を供給するように構成されることを特徴とする請求項2に記載のシステム(10)。

【請求項4】 再アクティブ化手段(16)が、複数の所定のパルス数を記憶し、自律的タイム・ベースの動作の所定の時間間隔を表わすパルス数の1つを比較手段に供給するように構成された記憶手段(18)と振動検出手段からパルスを受信し、受信したパルスをカウントし、このカウントを比較手段に供給するように構成されたカウント手段(17)とを含むことを特徴とする請求項3に記載のシステム(10)。

【請求項5】 再アクティブ化手段(16)が、パルスのカウントと所定のパルス数の1つを受信し、これらの数を比較して、等しい場合には、システムをリセットするようにしたパルス(RST)を供給するように構成された比較手段(19)をさらに備えることを特徴とする請求項4に記載のシステム(10)。

【請求項6】 記憶手段(18)が、複数のビットを内蔵する任意選択のレジスタを含むことを特徴とする請求項5に記載のシステム(10)。

【請求項7】 任意選択のレジスタが少なくとも2つのビットを内蔵し、システムが「スリープ」モードになっているときに振動検出手段が果たすことができる自律的タイム・ベース機能を、この2つのビットの一方が有効化または無効化するようにしていることを特徴とする

請求項6に記載のシステム(10)。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は電子回路の分野、特に「スリープ」モードで動作しているシステムを再びアクティブにする手段に関する。

## 【0002】

【従来の技術】本発明において、「電子回路」とは、少なくとも1つの周辺機器に接続することのできる中央処理装置と、システムのすべての論理手段に、特に中央処理装置にクロック信号を供給するシステム・クロックとを含むシステムを意味する。システムのすべてのコンポーネントに電源から電力が供給される。

【0003】一般に、このようなシステムは、「ラン」モードすなわち「アクティブ」モード、「スタンバイ」モードすなわち「ホールド」モード、および「スリープ」モードのいずれかで動作する。

【0004】システムが「ラン」モードになっている場合、コンポーネントがすべて動作する。「スタンバイ」モードになっている場合は、周辺機器だけが動作し、通常、中央処理装置は、停止状態になっている。すなわち中央処理装置がクロック信号により動作することはない。またシステムが「スリープ」モードになっている場合、システム・クロックを含め、コンポーネントがすべて停止し、電源がシステムに電力を供給し続けるだけである。したがって、このシステムは、多くの場合に「スリープ」モードで動作し、このため、システムの電力消費が大幅に削減される。

【0005】上述の種類のシステムを設計する場合、システムを再びアクティブにする、すなわち「スリープ」モードから「ラン」モードまたは「スタンバイ」モードへの切り替えが問題となる。

【0006】この問題に対する従来の解決策は、システムの外部の手段によってシステム全体を再びアクティブにするリセット信号を供給していた。例えば、その外部の手段は、システムにリセット信号を供給する手段を備えたキーによって形成され、ユーザの動作によりアクティブにされていた。

【0007】このような解決法の問題点は、システムを再びアクティブにする追加手段を使用しなければならないことであり、これは、コストおよびスペースに関する要件の通常の業界基準に反する。

【0008】また、前述の解決策の別の問題点は、システムの外部にあってシステムを再びアクティブにする手段を使用する必要があり、したがってシステムの自律的再アクティブ化ができないことである。

【0009】前述の問題に対する別の従来の解決策は、システム・クロックによって与えられるタイム・ベースとは異なるタイム・ベースを作る方法である。システム・クロックは「スリープ」モードで非アクティブとな

(3)

特開平11-167442

3

る。システムが「スリープ」モードに切り替わった場合、新しいタイム・ベースは、直ちに時間間隔を測定できなければならない。

【0010】例を挙げると、ヨーロッパ特許明細書EP第586256号は、高周波数で動作する第1のクロック、すなわちシステム・クロックと、低周波数で動作する第2のクロックとを備えた携帯電話分野のシステムについて開示している。システム・クロックは、「スリープ」モードに入る、すなわち所定の時間非アクティブとなることができる。スリープ時間は、第2のクロックが生成する低周波数パルスをカウントして測定することができる。

【0011】このような解決策の問題点は、低周波数クロックをシステム・クロックに対して較正しなければならないことである。

【0012】従来の技術には、前記の形式のシステムのアラームを生成するという問題に対する他の解決策も存在する。

【0013】本明細書の図1によって、米国特許第4698748号の回路を説明する。中央処理装置2、カウンタ3、パルス発生器4、第1の25MHzクロック5、第2の50KHzクロック6とを含むシステム1を開示している。これらのコンポーネントは、中央処理装置2が正常に動作している場合は、カウンタ3が20msごとに0にリセットされ、中央処理装置が正常に動作していない場合は、カウンタ3が40msまでカウントし続けるように構成してある。その際、中央処理装置2の電源が切り替わる。その結果、中央処理装置2には、コンデンサから電力が供給され、+5V供給電圧源が切り離され、システム1は<<スリープ>>モードとなる。

【0014】前記の米国特許第4698748号に開示されているが、中央処理装置2の<<スリープ>>モードは、中央処理装置が、2台のマルチプレクサ7および8を制御することにより、継続的にアクティブになっている動作状態に対応する点に注意されたい。

【0015】

【発明が解決しようとする課題】本発明の出願人は、上に述べたような従来の解決法では、システムを「スリープ」モードで動作させる専用の手段が必要であり、また、このような手段は、多量の消費電力を必要とすることに気付いた。通常、このような操作では、一般に百分の数ナノアンペア ( $1\text{ nA} = 10^{-9}\text{ A}$ ) から数マイクロアンペア ( $1\text{ }\mu\text{A} = 10^{-6}\text{ A}$ ) に等しい電流が必要となる。

【0016】例えば、前記の米国特許第4698748号にやはり開示されているが、本明細書の図1と関連してシステム1が<<スリープ>>モードになっている場合、このシステムは10mAを消費する。

【0017】本発明の目的は、再アクティブ化手段を含

4

み、システムが「スリープ」モードになっているときに上記の問題点を解決するシステムを提供することである。

【0018】また、本発明の他の目的は、「スリープ」モード時の電力消費量が少ないシステムを提供することである。

【0019】本発明の他の目的は、コストおよび複雑さの点で従来の業界基準を満たすようなシステムを提供することである。

【0020】

【課題を解決するための手段】上記その他の目的は、請求項1に記載のシステムにより達成される。すなわち、本発明は第1の周波数でクロック信号を供給するように構成されたクロック・システムと、「スリープ」モードでクロック信号を受信しないように構成された中央処理装置と、システム・クロックのアクティブを監視する振動検出手段と、システムが「スリープ」モードのとき、それを再びアクティブにする手段とを含み、その再アクティブ化手段がシステムの内部にあり、システムが「スリープ」モードに切り替わると、直ちに自律的タイム・ベースを形成し、所定の時間間隔の終了時にシステムを再アクティブ化し、システムが「スリープ」モードではない場合は、タイム・ベース形成および再アクティブ化とは異なる機能を果たすことを特徴とする。

【0021】このような構成は、システムを自律的に再アクティブ化でき、システムを「スリープ」モードで動作させる専用の手段を使用する必要がなく、このためシステムのスペース要件およびコストを削減できるという利点がある。

【0022】本発明によるシステムの再アクティブ化手段の他の利点としては、再アクティブ化手段がシステムの内部にあり、したがって外部手段を使用することなくシステムを再びアクティブにすることができ、これによりシステムが単純化されることである。

【0023】本発明によるシステムの再アクティブ化手段のさらに別の利点は、「スリープ」モードで振動検出手段を使用し、電源から電流が流れると同時に自律的タイム・ベースを形成することである。この振動検出手段は、「スリープ」モードによる動作時にわずしか電力を消費しない。

【0024】本発明によるシステムの記憶手段の利点は、複数の所定のパルス数を記憶し、自律的タイム・ベースの所定の時間間隔を示す、前記所定数の1つを出力し、したがって「スリープ」モードによるシステムの動作時間を変化させることができることである。

【0025】

【発明の実施の形態】本発明の、上記その他の目的、特徴、利点は、添付の図面を参照して例示として行う、本発明の好ましい実施形態の詳細な説明を読めば明らかになる。図2は、本発明によるシステム10を示す図で

(4)

特開平11-167442

5

ある。システム10は、中央処理装置11、システム・クロック12、および振動検出手段13を含む。システム10は、少なくとも1台の周辺機器14を含むことができる。

【0026】システム10は、接地電圧 $V_{ss}$ を基準とした供給電圧 $V_{dd}$ を供給するように構成した電源（図示せず）も含むことはいうまでもない。システム10の各コンポーネントは、供給電圧 $V_{dd}$ を受けるように構成された供給端子（図示せず）および接地電圧 $V_{ss}$ を受けるように構成された接地端子（図示せず）を含む。したがって、システム10に存在する様々な電圧は、供給電圧 $V_{dd}$ と接地電圧 $V_{ss}$ の間にある。システム10は、また上に述べたように「ラン」モード、「スタンバイ」モード、または「スリープ」モードのうちの1つで動作する。

【0027】中央処理装置11は、それぞれ参照番号111、112で示す第1の入力端子と第2の入力端子、および出力端子113を含む。周辺機器14は、第1および第2の入力端子141と142とを含む。この周辺機器は、少なくとも1つの出力端子（図示せず）をさら

に含むことができることはいうまでもない。

【0028】システム・クロック12は、入力端子121、およびそれぞれ参照番号122、123、124で示す第1、第2、第3の出力端子を含む。システム・クロック12は、端子122、123、124にクロック信号CKを生成できるように構成されている。端子122は、中央処理装置11に端子111を介してクロック信号CKを受信するように接続されている。また、端子123は、周辺機器14にクロック信号CKを受信するように接続されている。あくまで例として述べると、端子122および123が供給するクロック信号CKの周波数は、通常、600KHz程度である。

【0029】振動検出手段13は、それぞれ参照番号131、132、133で示す第1の入力端子、第2の入力端子、第3の入力端子および出力端子134を含む。振動検出手段13は、システム・クロック12の動作を監視するように構成されている。その目的で、端子131は、第1の周波数のクロック信号CKを受信するように端子124に接続されている。すなわち、振動検出手段13はクロック信号CKを受ける。

【0030】第1の周波数は、中央処理装置11および周辺機器14に供給されるクロック信号CKの周波数よりも低くてもよいことに注意されたい。例としてあげると、第1の周波数は、通常、500Hz程度である。システム・クロック12は、周波数が600KHzの入力信号を受信し、600KHzから数Hzの間の出力信号を生成するように構成された周波数分割チェーン（図示せず）を含んでいる。様々な周波数は、あくまで説明のための例として挙げたものであることはいうまでもない。

6

【0031】さらにシステム10は、出力端子151を備えた電圧変換手段15を含む。電圧変換手段15は、すでに上述した供給電圧 $V_{dd}$ を受け取り、これにตอบสนองして電流 $I_{dd}$ を端子151を介して生成するように構成されている。電圧変換手段15は、電流 $I_{dd}$ を供給するように構成された電流ミラーから成ることが好ましく、したがってこの電流は所定の値を有する。あくまで説明のための例として挙げると、電流 $I_{dd}$ は、ほぼ1nAに等しい。したがって、端子151は、振動検出手段13が、例えば通常1nAに等しい電流 $I_{dd}$ を受け取るように、端子132に接続されている。

【0032】図2のシステムの振動検出手段13の構造を簡単に述べる。図3は、その手段の簡単な略図である。図2と関連してすでに述べたように、振動検出手段13は、端子131、132、133、134を含む。図3に示すように、振動検出手段13は、記憶手段23、リセット手段24、しきい値検出手段25を含んでいる。記憶手段23にはコンデンサを、またしきい値検出手段25にはシュミット・トリガ回路を使用することが好ましい。

【0033】端子132とコンデンサ23の2枚のプレート的一方は、ノード26に接続されており、したがってこのコンデンサは、端子132から供給される電流 $I_{dd}$ により充電される。コンデンサ23のもう一方のプレートは、接地に接続されている。

【0034】リセット手段24は、それぞれ241および242で示す第1および第2の入力端子と、出力端子243とを含んでいる。リセット手段24は、リセット制御信号を受信し、コンデンサ23の端子の電圧 $V_i$ を0に設定するように構成されている。この制御信号は、通常、クロック信号CKの立ち上がりに対応する。その目的で、端子241は、リセット手段24がクロック信号CKを受信するように、端子131に接続され、端子243は、電圧 $V_i$ を0にリセットできるように、ノード26に接続されている。

【0035】シュミット・トリガ回路25は、入力端子251と出力端子252とを有している。シュミット・トリガ回路25は、電圧 $V_i$ を受け取り、この電圧がしきい値電圧 $V_{th}$ より大きいかどうかを検出し、電圧 $V_i$ が電圧しきい値電圧 $V_{th}$ より大きい場合には、パルスに対応する電圧 $V_0$ を供給できるように構成されている。そのため、端子251は、シュミット・トリガ回路25が電圧 $V_i$ を受け取ることができるように、ノード26に接続され、端子252は、電圧 $V_0$ が振動検出手段13の出力電圧として供給されるように、端子134に接続されている。しきい値検出手段25がシュミット・トリガ回路によって構成される好ましい例においては、しきい値電圧 $V_{th}$ が、この回路の切り替え点に対応することに注意されたい。

【0036】システム10が、「スタンバイ」モードま

(5)

特開平11-167442

7

8

たは「ラン」モードになっている場合の振動検出手段13の動作について、簡単に述べる。システム10の動作モードには関わりなく、このシステムのすべてのコンポーネントには、電圧 $V_{dd}$ がかかったままになる。したがって、電流 $I_{dd}$ が、端子132を介して連続的に流れ、コンデンサ23は、電圧 $V_i$ が時間 $t$ の関数として線形関数になるように充電される。

【0037】図4は、電圧 $V_i$ 、電圧 $V_0$ 、クロック信号CKの波形31、32、33を示す3つのタイミング図である。タイミング図32に示すように、電圧 $V_i$ は、最初 $t_0$ で0であり、以後、時間 $t$ とともに線形的に増大する。さらに、システム10が、「ラン」モードまたは「スタンバイ」モードになっている場合、タイミング図31に示すように、クロック信号CKの状態が周期的に変化する。クロック信号CKの周波数は、通常、500Hzに等しい。したがって、タイミング31に示すように、瞬間 $t_0$ において、クロック信号CKは、例えば電圧 $V_{ss}$ のように低く、瞬間 $t_1$ では、状態が変化して、例えば電圧 $V_{dd}$ のように高くなる。瞬間 $t_1$ において、クロック信号CKの立ち上がりを受信したと、リセット手段24は電圧 $V_i$ をリセットし、タイミング32に示すように $V_i$ は初期値に戻る。瞬間 $t_0$ の場合と状況は同じであり、この状況が繰り返される。

【0038】図4に示す例は、「ラン」モードまたは「スタンバイ」モードにおけるシステム10の正常な動作状態を示していることに注意されたい。振動検出手段13にクロック信号CKが周期的に供給されるので、タイミング33に示したように、電圧 $V_0$ の状態は変化しない。

【0039】あくまで例として、以下のような異常な状況について考える。すなわち、なんらかの理由により、クロック信号CKの周波数が連続的に減少する。その結果、コンデンサ23は、周波数の減少にともなって増加した時間の終りにリセットされる。したがって、その電圧 $V_i$ は時間とともに線形的に引き続き増大し、しきい値電圧 $V_{th}$ に達する。その結果シュミット・トリガ回路25が切り替わる。この場合、電圧 $V_0$ の状態が変化する。すなわち、シュミット・トリガ回路25は、以下述べるように、システム10のリセット命令を供給する。

【0040】システムが「スリープ」モードになっている場合、クロック・システム12が非アクティブ化されているため、振動検出手段13はクロック・システム12の動作を監視しないことに注意されたい。図2に示すように、システム10は、システム10が「スリープ」モードで動作している時にシステム10を再びアクティブにする手段16を含んでいる。

【0041】その再アクティブ化手段16はシステム10の内部に配設され、システム10が「スリープ」モードに切り替わると直ちに自律的タイム・ベースを形成

し、所定の時間間隔の終了時にこのシステムを再アクティブ化し、かつシステム10が「スリープ」モードになっていないときには、タイム・ベース形成および再アクティブ化の機能とは異なる機能を果たす。

【0042】図2に示す好ましい実施形態では、図4に関連して上に述べたように、再アクティブ化手段16は、「スリープ」モードでは自律的タイム・ベースを形成し、一方、「ラン」モードまたは「スタンバイ」モードではクロック・システム12の動作を監視するのに使用する振動検出手段13を含んでいる。

【0043】システム10が「スリープ」モードになっている場合の振動検出手段13の動作について、簡単に述べる。図5は、システム10が「スリープ」モードになっている場合のクロック信号CK、電圧 $V_i$ 、電圧 $V_0$ の波形41、42、43をそれぞれ示す3つのタイミング図である。

【0044】図5に示す瞬間 $t_0$ は、図4に関連して述べた瞬間 $t_0$ と同じである。タイミング41に示すように、瞬間 $t_1$ では、クロック信号CKの状態が変化しないため、電圧 $V_i$ はリセットされない。したがって、タイミング42に示すように、この電圧は引き続き線形的に増大する。 $t_0$ の10ms後にくる瞬間 $t_3$ で、電圧 $V_i$ は、回路25の切り替え点であるしきい値電圧 $V_{th}$ に達する。その結果、タイミング43に示すように、回路25は電圧 $V_0$ の出力パルスを供給する。このパルスは、システム10のリセット信号を供給するのに使用することができる。したがって、システム10は、「スリープ」モードに切り替わると直ちに自律的タイム・ベースを形成し、かつ通常10msの時間間隔の後にシステム10を再びアクティブとすることができる。

【0045】さらに性能の向上をはかるため、図2に示すように、再アクティブ化手段16は、カウント手段17、記憶手段18、比較手段19、および制御手段20を含むことができる。

【0046】カウント手段17は、それぞれ参照番号171、172で示す第1および第2の入力端子と、出力端子173とを含んでいる。カウント手段17は、電圧 $V_0$ を受け取れるように、すなわち、瞬間 $t_3$ に振動検出手段13が供給するパルスを受信できるように構成されている。また、カウント手段17はまた、供給されるパルスをカウントし、カウント結果を比較手段19に供給できるように構成されている。このために、端子171は、カウント手段17が振動検出手段13から電圧 $V_0$ を受け取れるように、端子134に接続されている。

【0047】記憶手段18は、入力端子181および出力端子182を含んでいる。記憶手段18は、複数の所定のパルス数を記憶し、この所定のパルス数の1つを比較手段19に供給するように構成されている。このために、端子181は、記憶手段18に記憶した値を中央処理装置11を介して変更できるように、端子113に接

(6)

特開平11-167442

9

10

続されている。記憶手段18は、複数のビットを備えた任意選択のレジスタを含むことが好ましい。任意選択のレジスタとは、このレジスタを含むシステムが再アクティブ化されたときに内容がリセットされないレジスタのことである。すなわち、図2に示す好ましい実施形態の範囲内で、このようなレジスタに記憶した値は、システム10の中央処理装置11を介した書き換えによって変更されるか、またはシステム10の初期化、すなわちシステムへの電源の接続時にだけ変更される。

表1

B2	B1	B0	N
0	0	0	1
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

【0049】性能向上をはかるため、4ビットの任意選択のレジスタを設けてもよく、第4のビットは、システム10が「スリープ」モードになっている場合に振動検出手段13が満たす自律的時間関数の有効化または無効化に使用する。やはり性能向上のため、多数のビットを備えた任意選択のレジスタを使用して、より多数の所定のパルス数を記憶することもできる。

【0050】比較手段19は、それぞれ参照番号191、192で示す第1および第2の入力端子、および出力端子193を含んでいる。比較手段19は、パルスのカウントおよび所定のパルス数の1つを受信して、これらの数を比較し、または、これらの数が等しい場合には、制御手段20にリセット命令信号を供給できるように構成されている。このために、端子191は、比較手段19が、前回、カウント手段17をリセットした以後にカウントしたパルスの数を受信できるように、端子173に接続されている。また、端子192は、比較手段19が、記憶手段18に記憶されている所定のパルス数の1つを受信できるように、端子182に接続されている。

【0051】制御手段20は、入力端子201、およびそれぞれ参照番号202、203で示す第1および第2の出力端子を含んでいる。制御手段20は、システム10の1組のリセット信号を制御し、システム10のコンポーネントの大半にリセット制御信号を供給できるように構成されている。そのため、端子201は、制御手段20が比較手段19から供給されるリセット命令信号を受信できるように、端子193に接続されている。端子

【0048】例として、3つのビットB0、B1、B2を備えた任意選択のレジスタについて考える。ビットB0、B1、B2によって表わされる値は、所定のパルス数のいずれかに等しく、時間の単位、すなわち、振動検出手段13によって「スリープ」モードで供給される2つの連続したパルス間の時間間隔は、10msに等しい。以下の表1に、ビットB2、B1、B0と所定のパルス数Nとの対応関係の例を示す。

202は、制御手段20が中央処理装置11および周辺機器14をそれぞれ制御できるように、端子112および142に接続されている。端子203は、制御手段20がクロック・システム12、振動検出手段13、およびカウント手段17のリセットをそれぞれ制御できるように、端子121、133、172に接続されている。

【0052】このようなリセット信号の制御について説明するために、システム10が、「ラン」モードまたは「スタンバイ」モードになっていて、上に述べたような異常な状況が発生した場合について考える。この場合、振動検出手段13がパルスを供給すると、制御手段20は、システム10のリセット制御信号を供給する。

【0053】システム10が「スリープ」モードになっていて、1より大きい数Nに対応する所定の時間間隔のタイム・ベースとして振動検出手段13を使用する場合を考える。図5に示すように、瞬間t3において、電圧V0としてパルスが供給される。カウント手段17が、瞬間t0に初期化されたと想定すると、カウント手段17は、所定の数Nとは異なる、1に等しいパルスのカウント数を供給する。その結果、比較手段19は、リセット命令信号を供給せず、電圧Viは0となる。この状況は、瞬間t0の状況と同じであり、この状況が繰り返される。

【0054】したがって、論理手段17から20とあいまって、振動検出手段13は、通常10msごとに「スリープ」モードでパルスを供給し、これによりタイム・ベースが形成される。供給されるクロック信号は、100Hz程度の第2の周波数を有する。この周波数は、5

( 7 )

特開平 1 1 - 1 6 7 4 4 2

11

0 0 H z、すなわち上に定義した第 1 の周波数よりもかなり低いことに注意されたい。様々な周波数の値は、あくまで説明のための例として挙げたことはいうまでもない。当業者は、図 3 に関連して述べたように、振動検出手段 1 3 の周波数が、コンデンサ 2 3 のキャパシタンスおよび電流 I d d の強さによって決まることに注意されたい。

【0 0 5 5】上に述べたような自律的タイム・ベースの実施形態は、ごくわずかな電力しか必要としないため、このシステムは特に有利であることに注意されたい。事実、動作は、コンデンサ 2 3 を充電する電流 I d d の流出によって主に左右される。この構成を行うのに必要な面積が、論理手段 1 7 から 2 0 の面積に限定されるため、このようなシステムが特に有利であることに注意されたい。事実、一般に、このようなシステムには振動検出手段 1 3 が存在する。

【0 0 5 6】システム 1 0 が「ラン」モードまたは「スタンバイ」モードから「スリープ」モードに切り替わる場合、あるいはその逆の場合のシステム 1 0 の動作について、図 1 から図 4 を参照して、以下説明を行う。図 6 は、クロック信号 C K、電圧 V 0、およびリセット信号 R S T の波形をそれぞれ示す 3 つのタイミング図 5 1、5 2、5 3 である。

【0 0 5 7】システム 1 0 は、瞬間 T 0 に至る時間間隔および瞬間 T 1 から始まる時間間隔に、「ラン」モードまたは「スタンバイ」モードになっている。これらの時間間隔に、クロック・システム 1 2 がアクティブ化され、タイミング 5 1 に示すように、クロック信号 C K の状態が定期的に変化する。タイミング 5 2、5 3 に示すように、同じ時間間隔に振動検出手段 1 3 が供給する電圧 V 0 は、リセット信号 R S T と同じく 0 である。上にすでに述べたように、このような状況が、正常な状況に対応することはいうまでもない。

【0 0 5 8】瞬間 T 0 後、システム 1 0 は、「スリープ」モードになる。したがって、クロック・システム 1 2 が非アクティブとされ、タイミング 5 1 に示すように、クロック信号 C K の定期的状態変化はない。タイミング 5 2 に示すように、同じ時間間隔に、振動検出手段 1 3 は、1 0 m s ごとにパルスを提供する。所定のパルス数 N として 4 を選択したと想定すると、タイミング図 5 3 に示すように、パルスのカウントが 4 に等しくならない限り、リセット信号 R S T は 0 である。瞬間 T 2 に

12

において、パルスのカウントは 4 に等しい。したがって、タイミング 5 3 が示すように、比較手段 1 9 は、パルスを提供する。瞬間 T 1 から T 2 の時間は、瞬間 T 2 に供給されるリセット信号に続く、システム 1 0 の反応時間およびこのようなシステムの安定化時間に対応する。したがって、瞬間 T 1 の状況は、瞬間 T 0 より前の初期状況に類似している。

【0 0 5 9】本発明の範囲を逸脱することなく、上記の詳細説明に様々な修正を行えることは、当業者にとっていうまでもないことである。別の実施形態を挙げると、振動検出手段は、システム内部の手段で置き換えることができる。このような手段は、システムが「スリープ」モードに切り替わると、直ちに自律的タイム・ベースを形成し、所定の時間間隔の終了時にこのシステムを再アクティブ化し、システムが「スリープ」モードではない場合は、タイム・ベース形成および再アクティブ化とは異なる機能を果たすことができる。

#### 【図面の簡単な説明】

【図 1】 従来の技術によるシステムを示す図である。

【図 2】 本発明によるシステムを示す図である。

【図 3】 図 2 の振動検出手段の略図である。

【図 4】 図 2 のシステムが「ラン」モードまたは「スタンバイ」モードになっている場合の図 3 の振動検出手段に関連する 3 つの信号の波形を示す 3 つのタイミング図である。

【図 5】 図 2 のシステムが「スリープ」モードになっている場合の図 3 の振動検出手段に関連する 3 つの信号の波形を示す 3 つのタイミング図である。

【図 6】 図 2 のシステムが、「ラン」モード、「スタンバイ」モード、または「スリープ」モードになっている場合に、このシステム内にある 3 つの信号の波形をそれぞれ示す 3 つのタイミング図である。

#### 【符号の説明】

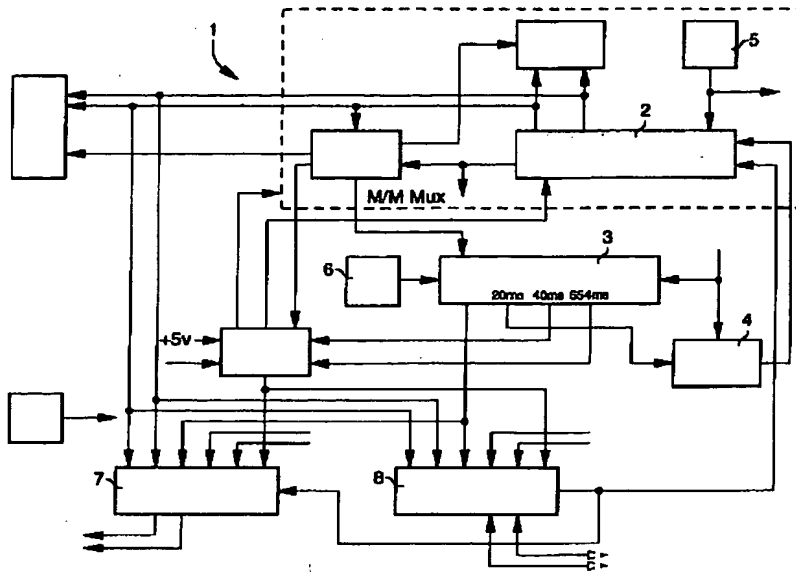
- 1 0 システム
- 1 1 中央処理装置
- 1 2 システム・クロック
- 1 3 振動検出手段
- 1 4 周辺機器
- 1 5 電圧変換手段
- 1 1 1 第 1 の入力端子
- 1 1 2 第 2 の入力端子
- 1 1 3 出力端子



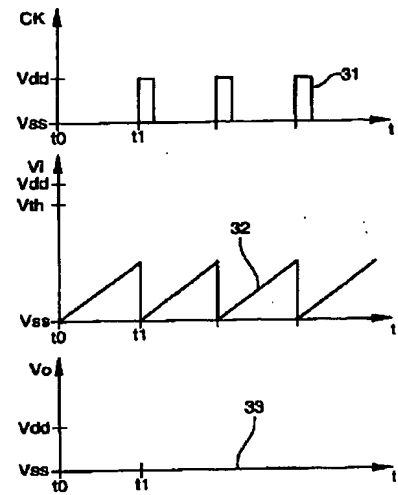
( 8 )

特開平 1 1 - 1 6 7 4 4 2

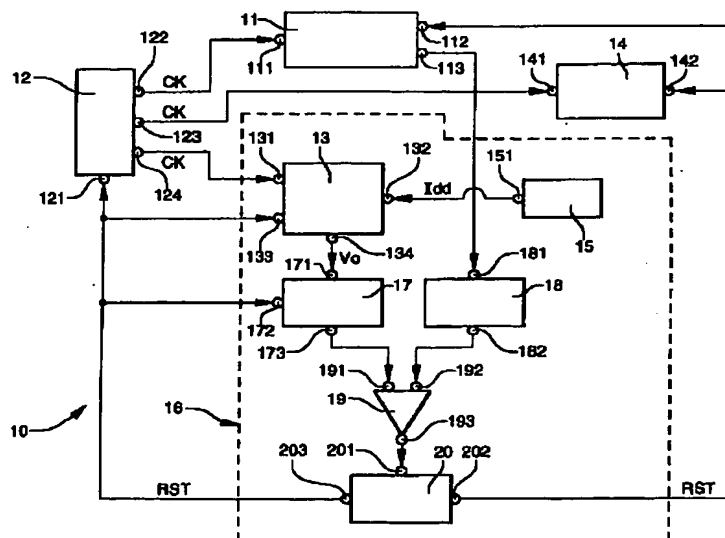
【図 1】



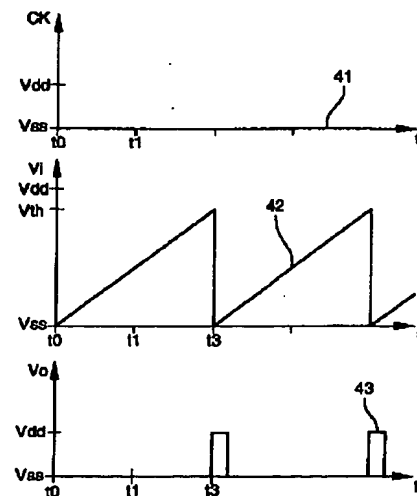
【図 4】



【図 2】



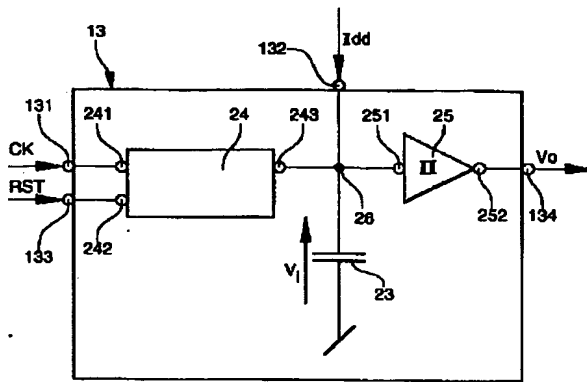
【図 5】



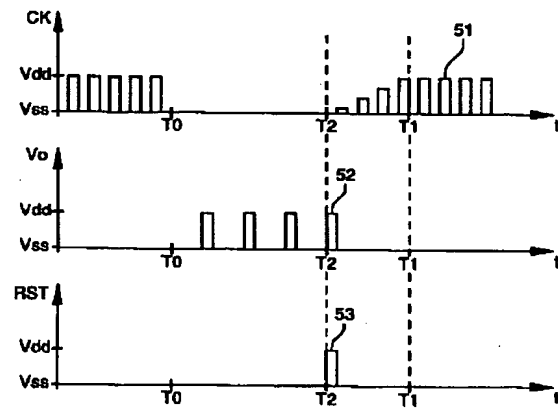
( 9 )

特開平 1 1 - 1 6 7 4 4 2

【図 3】



【図 6】



**\* NOTICES \***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The clock system which received supply of power from the power source, and is a system (10) which can operate in "sleep" mode, and was constituted so that a clock signal might be supplied on the 1st frequency (12), When the central processing unit (11) constituted so that a clock signal might not be received in "sleep" mode, and an oscillating detection means (13) to supervise actuation of a system clock and a system are in "sleep" mode, If a re-active-ized means is in the interior of a system and a system changes to "sleep" mode including the means (16) which activates it again It is the system characterized by achieving the function in which time base formation differs from re-active-ization when autonomous time base is formed immediately, a system is made re-active at the time of termination of a predetermined time interval and a system is not in "sleep" mode (10).

[Claim 2] The system according to claim 1 characterized by including the oscillating detection means used for a re-active-ized means (16) forming autonomous time base in "sleep" mode, and supervising actuation of a system clock in "run" mode or "standby" mode (10).

[Claim 3] The system according to claim 2 characterized by being constituted so that an oscillating detection means may supply the pulse (V0) of the 2nd frequency lower than the 1st frequency in "sleep" mode (10).

[Claim 4] A re-active-ized means (16) memorizes two or more predetermined pulse numbers, and counts the pulse which received the pulse and was received from the storage means (18) constituted so that one of the pulse numbers showing the predetermined time interval of actuation of autonomous time base might be supplied to a comparison means, and the oscillating detection means. The system according to claim 3 characterized by including the count means (17) constituted so that this count might be supplied to a comparison means (10).

[Claim 5] The system according to claim 4 characterized by having further the comparison means (19) constituted so that the pulse (RST) to which one of the count of a pulse and the predetermined pulse numbers was received, these numbers were compared, and the re-active-ized means (16) reset the system when equal might be supplied (10).

[Claim 6] The system according to claim 5 characterized by a storage means (18) containing the register of the option which builds in two or more bits (10).

[Claim 7] The system according to claim 6 characterized by one side of these two bits validating or cancelling the autonomous time base function which an oscillating detection means can achieve when the register of option contains at least two bits and the system has become "sleep" mode (10).

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the means which activates again the field of an electronic circuitry, and the system which is operating in "sleep" mode especially.

[0002]

[Description of the Prior Art] In this invention, an "electronic circuitry" means the system containing a central processing unit connectable with at least one peripheral device, and the system clock which supplies a clock signal especially at a central processing unit at all the logic means of a system. Power is supplied to all the components of a system from a power source.

[0003] Generally, such a system operates in either "run" mode, i.e., the "active" mode, "standby" mode, i.e., "halt" mode, and "sleep" mode.

[0004] When the system is "run" mode, all components operate. When it is "standby" mode, only a peripheral device operates and the central processing unit has usually become a idle state. That is, a central processing unit does not operate with a clock signal. Moreover, when the system is "sleep" mode, including a system clock, all components stop and a power source only continues supplying power to a system. Therefore, in many cases, this system operates in "sleep" mode, and, for this reason, the power consumption of a system is reduced sharply.

[0005] When designing the system of an above-mentioned class, a system is activated again, namely, a change in "run" mode or "standby" mode poses a problem from "sleep" mode.

[0006] The conventional solution over this problem supplied the reset signal which activates the whole system again with the means of the exterior of a system. For example, the means of the exterior was formed of the key which equipped the system with a means to supply a reset signal, and was activated by actuation of a user.

[0007] The trouble of such solution is having to use the additional means which activates a system again, and this is contrary to the usual industry standard of the requirements about cost and a tooth space.

[0008] Moreover, another trouble of the above-mentioned solution is using the means which is in the exterior of a system and activates a system again, therefore being unable to perform autonomous re-active-ization of a system.

[0009] Another conventional solution over the above-mentioned problem is the approach of making the time base where the time base given with a system clock differs. A system clock becomes inactive in "sleep" mode. When a system changes to "sleep" mode, new time base must be able to measure a time interval immediately.

[0010] If an example is given, the European Patent specification EP No. 586256 will be indicated about the system of the cellular-phone field equipped with the 1st clock which operates with high frequency, i.e., a system clock, and the 2nd clock which operates by low frequency. A system clock goes into "sleep" mode, namely, can become inactive predetermined time. Sleep time amount can count and measure the low frequency pulse which the 2nd clock generates.

[0011] The trouble of such a solution is having to proofread a low frequency clock to a system clock.

[0012] Other solutions over the problem of generating the alarm of the system of the aforementioned format exist in a Prior art.

[0013] Drawing 1 of this specification explains the circuit of U.S. Pat. No. 4698748. The system 1 containing a central processing unit 2, a counter 3, a pulse generator 4, the 1st 25MHz clock 5, and the 2nd 50kHz clock 6 is indicated. When the central processing unit 2 is operating normally, a counter 3 is reset by 0 every 20ms, and when the central processing unit is not operating normally, these components are constituted so that a counter 3 may continue counting till 40ms. The power source of a central processing unit 2 changes in that case. Consequently, to a central processing unit 2, power is supplied from a capacitor, the source of +5V supply voltage is separated, and one becomes the system < <sleep>> mode.

[0014] Although indicated by aforementioned U.S. Pat. No. 4698748, notice central processing unit < [ 2 ] <sleep>> mode about the point corresponding to the operating state to which the central processing unit is active continuously by controlling two sets of multiplexers 7 and 8.

[0015]

[Problem(s) to be Solved by the Invention] The applicant of this invention has noticed such a means needing a lot of power consumption required [ a means of dedication to operate a system in "sleep" mode ] of the conventional solution which was expressed above. Usually, generally in such actuation, a current equal to several microampere (1microA=10-6A) is needed from several/100nanoampere (1nA=10-9A).

[0016] For example, although too indicated by aforementioned U.S. Pat. No. 4698748, when one is the system < <sleep>> mode in relation to drawing 1 of this specification, this system consumes 10mA.

[0017] The purpose of this invention is offering the system which solves the above-mentioned trouble, when the system is "sleep" mode including the re-active-ized means.

[0018] Moreover, other purposes of this invention are offering a system with little power consumption at the time of "sleep" mode.

[0019] Other purposes of this invention are offering a system which fills the conventional industry standard with the point of cost and complexity.

[0020]

[Means for Solving the Problem] The above and other purposes are attained by the system according to claim 1. Namely, the clock system constituted so that this invention might supply a clock signal on the 1st frequency, The central processing unit constituted so that a clock signal might not be received in "sleep" mode, an oscillating detection means to supervise AKUTIBU of a system clock, and when a system is in "sleep" mode, If the re-active-ized means is in the interior of a system and a system changes to "sleep" mode including the means which activates it again Autonomous time base is formed immediately and a system is made re-active at the time of termination of a predetermined time interval, and when a system is not in "sleep" mode, it is characterized by achieving a different function from time base formation and re-active-ization.

[0021] Such a configuration can carry out [ re-active ]-izing of the system autonomously, does not need to use a means of dedication to operate a system in "sleep" mode, and has the advantage that the requirements for a tooth space and cost of a system are reducible for this reason.

[0022] It is that can activate a system again, without a re-active-ized means' being in the interior of a system, therefore using an external means as other advantages of the re-active-ized means of the system by this invention, and a system is simplified by this.

[0023] Still more nearly another advantage of the re-active-ized means of the system by this invention is forming autonomous time base at the same time it uses an oscillating detection means in "sleep" mode and a current flows from a power source. This oscillating detection means does not consume deer power only at the time of actuation by "sleep" mode.

[0024] The advantage of the storage means of the system by this invention is being able to output one of said the predetermined numbers which memorizes two or more predetermined pulse numbers, and shows the predetermined time interval of autonomous time base, therefore being able to change the operating time of the system by "sleep" mode.

[0025]

[Embodiment of the Invention] The above and other purposes of this invention, the description, and an advantage will become clear if the detailed explanation of the desirable operation gestalt of this invention given as instantiation with reference to an attached drawing is read. Drawing 2 is drawing

showing the system 10 by this invention. A system 10 includes a central processing unit 11, the system clock 12, and the oscillating detection means 13. A system 10 can contain at least one set of a peripheral device 14.

[0026] It cannot be overemphasized that the power source (not shown) constituted so that a system 10 might supply the supply voltage Vdd on the basis of the touch-down electrical potential difference Vss is also included. Each component of a system 10 contains the earth terminal (not shown) constituted so that the supply terminal (not shown) and the touch-down electrical potential difference Vss which were constituted so that supply voltage Vdd might be received might be received. Therefore, various electrical potential differences which exist in a system 10 are between supply voltage Vdd and the touch-down electrical potential difference Vss. A system 10 operates by one of "run" mode, "standby" mode, or "sleep" modes, as stated above again.

[0027] A central processing unit 11 contains the 1st input terminal shown with reference numbers 111 and 112, respectively, the 2nd input terminal, and an output terminal 113. A peripheral device 14 contains the 1st and 2nd input terminals 141 and 142. It cannot be overemphasized that this peripheral device can contain at least one output terminal (not shown) further.

[0028] The system clock 12 contains an input terminal 121 and the 1st, 2nd, and 3rd output terminal shown with reference numbers 122, 123, and 124, respectively. The system clock 12 is constituted so that clock signal CK can be generated for terminals 122, 123, and 124. The terminal 122 is connected so that clock signal CK may be received through a terminal 111 to a central processing unit 11. Moreover, the terminal 123 is connected so that clock signal CK may be received to a peripheral device 14. When it states as an example to the last, the frequency of clock signal CK which terminals 122 and 123 supply is usually about 600kHz.

[0029] The oscillating detection means 13 contains the 1st input terminal and the 2nd input terminal which are shown with reference numbers 131, 132, and 133, respectively, the 3rd input terminal, and an output terminal 134. The oscillating detection means 13 is constituted so that actuation of the system clock 12 may be supervised. For the purpose, the terminal 131 is connected to the terminal 124 so that clock signal CK of the 1st frequency may be received. That is, the oscillating detection means 13 receives clock signal CK.

[0030] Notice the 1st frequency about that it may be lower than the frequency of clock signal CK supplied to a central processing unit 11 and a peripheral device 14. When it raises as an example, the 1st frequency is usually about 500Hz. The system clock 12 receives the input signal whose frequency is 600kHz, and contains the frequency division chain (not shown) constituted so that the output signal between several Hz might be generated from 600KHZ. It cannot be overemphasized that various frequencies are mentioned as an example for explanation to the last.

[0031] Furthermore, a system 10 includes the electrical-potential-difference conversion means 15 equipped with the output terminal 151. The electrical-potential-difference conversion means 15 is constituted so that reception and this may be answered in the supply voltage Vdd already mentioned above and Current Idd may be generated through a terminal 151. This current has a predetermined value preferably [ the electrical-potential-difference conversion means 15 / consisting of the current mirror constituted so that Current Idd might be supplied ] therefore. When it mentions as an example for explanation to the last, Current Idd is equal to about 1 nA. Therefore, the terminal 151 is connected to the terminal 132 so that the oscillating detection means 13 may receive the current Idd usually equal to 1nA.

[0032] The structure of the oscillating detection means 13 of the system of drawing 2 is described briefly. Drawing 3 is the easy schematic drawing of the means. As already stated in relation to drawing 2, the oscillating detection means 13 contains terminals 131, 132, 133, and 134. As shown in drawing 3, the oscillating detection means 13 includes the storage means 23, the resetting means 24, and the threshold detection means 25. It is desirable to use a capacitor for the storage means 23, and to use a schmitt trigger circuit for the threshold detection means 25.

[0033] One side of a terminal 132 and two plates of a capacitor 23 is connected to the node 26, therefore this capacitor is charged according to the current Idd supplied from a terminal 132. Another plate of a capacitor 23 is connected to touch-down.

[0034] The resetting means 24 contains the 1st and 2nd input terminals shown by 241 and 242, respectively, and an output terminal 243. A resetting means 24 receives a reset control signal, and it

is constituted so that the electrical potential difference  $V_i$  of the terminal of a capacitor 23 may be set as 0. This control signal usually corresponds to the standup of clock signal CK. For the purpose, a resetting means 24 is connected to a terminal 131 so that clock signal CK may be received, and the terminal 241 is connected to the node 26 for the terminal 243 so that an electrical potential difference  $V_i$  can be reset to 0.

[0035] The schmitt trigger circuit 25 has the input terminal 251 and the output terminal 252. It detects whether reception and this electrical potential difference of a schmitt trigger circuit 25 are larger than the threshold electrical potential difference  $V_{th}$  in an electrical potential difference  $V_i$ , and when an electrical potential difference  $V_i$  is larger than the electrical-potential-difference threshold electrical potential difference  $V_{th}$ , it is constituted so that the electrical potential difference  $V_0$  corresponding to a pulse can be supplied. Therefore, a schmitt trigger circuit 25 is connected to a node 26 so that an electrical potential difference  $V_i$  can be received, and the terminal 251 is connected to the terminal 134 for the terminal 252 so that an electrical potential difference  $V_0$  may be supplied as output voltage of the oscillating detection means 13. Note that the threshold electrical potential difference  $V_{th}$  corresponds to the changing point of this circuit in the desirable example from which the threshold detection means 25 is constituted by the schmitt trigger circuit.

[0036] Actuation of the oscillating detection means 13 when the system 10 is "standby" mode or "run" mode is described briefly. There is nothing, and it is concerned with the mode of operation of a system 10, and an electrical potential difference  $V_{dd}$  remains built in all the components of this system. Therefore, Current  $I_{dd}$  flows continuously through a terminal 132, and a capacitor 23 is charged so that an electrical potential difference  $V_i$  may become a linear function as a function of time amount  $t$ .

[0037] drawing 4 -- the wave of an electrical potential difference  $V_i$ , an electrical potential difference  $V_0$ , and clock signal CK -- they are three timing charts showing 31, 32, and 33. As shown in a timing chart 32, an electrical potential difference  $V_i$  is 0 in  $t_0$  at first, and increases in linearity with time amount  $t$  henceforth. Furthermore, when the system 10 is "run" mode or "standby" mode, as shown in a timing chart 31, the condition of clock signal CK changes periodically. The frequency of clock signal CK is usually equal to 500Hz. Therefore, as shown in timing 31, at the moment, in  $t_0$ , clock signal CK is low like an electrical potential difference  $V_{ss}$ , and a condition changes, for example, it becomes high like an electrical potential difference  $V_{dd}$  by  $t_1$  at the moment. At the moment, after receiving the standup of clock signal CK in  $t_1$ , a resetting means 24 resets an electrical potential difference  $V_i$ , and as shown in timing 32,  $V_i$  returns to initial value. At the moment, the situation is the same as the case of  $t_0$ , and this situation is repeated.

[0038] Notice the example shown in drawing 4 about the normal operating state of the system 10 in "run" mode or "standby" mode being shown. Since clock signal CK is periodically supplied to the oscillating detection means 13, as shown in timing 33, the condition of an electrical potential difference  $V_0$  does not change.

[0039] The following unusual situations are considered as an example to the last. Namely, the frequency of clock signal CK decreases continuously for a certain reason. Consequently, a capacitor 23 is reset in the end of the time amount which increased with reduction in a frequency. Therefore, with time amount, the electrical potential difference  $V_i$  continues in linearity, increases, and reaches the threshold electrical potential difference  $V_{th}$ . As a result, a schmitt trigger circuit 25 changes. In this case, the condition of an electrical potential difference  $V_0$  changes. That is, a schmitt trigger circuit 25 supplies the reset instruction of a system 10 so that it may state below.

[0040] Since the clock system 12 is made inactive when the system is "sleep" mode, note that the oscillating detection means 13 does not supervise actuation of the clock system 12. As shown in drawing 2, the system 10 includes the means 16 which activates a system 10 again, while the system 10 is operating in "sleep" mode.

[0041] That re-active-ized means 16 achieves a different function from the function of time base formation and the formation of re-active, when autonomous time base is formed immediately, and this system is made re-active at the time of termination of a predetermined time interval and the system 10 has not become "sleep" mode, if it is arranged in the interior of a system 10 and a system 10 changes to "sleep" mode.

[0042] With the desirable operation gestalt shown in drawing 2, as stated above in relation to

drawing 4 , in "sleep" mode, the re-active-ized means 16 forms autonomous time base, and, on the other hand, includes an oscillating detection means 13 to use it for supervising actuation of the clock system 12, in "run" mode or "standby" mode.

[0043] Actuation of the oscillating detection means 13 when the system 10 is "sleep" mode is described briefly. the wave of clock signal CK when, as for drawing 5 , the system 10 is "sleep" mode, an electrical potential difference  $V_i$ , and an electrical potential difference  $V_0$  -- they are three timing charts showing 41, 42, and 43, respectively.

[0044]  $t_0$  is the same as  $t_0$  at the moment of stating in relation to drawing 4 the moment which shows in drawing 5 . As shown in timing 41, since the condition of clock signal CK does not change, by  $t_1$ , an electrical potential difference  $V_i$  is not reset at the moment. Therefore, as shown in timing 42, this electrical potential difference increases succeedingly in linearity. In  $t_3$ , an electrical potential difference  $V_i$  reaches the threshold electrical potential difference  $V_{th}$  which is the changing point of a circuit 25 at the moment of coming after [ of  $t_0$  ] 10ms. Consequently, as shown in timing 43, a circuit 25 supplies the output pulse of an electrical potential difference  $V_0$ . This pulse can be used for supplying the reset signal of a system 10. Therefore, if a system 10 changes to "sleep" mode, it can form autonomous time base immediately, and can usually become again active about a system 10 after the time interval for 10ms.

[0045] Since improvement in the engine performance is furthermore aimed at, as shown in drawing 2 , the re-active-ized means 16 can include the count means 17, the storage means 18, the comparison means 19, and a control means 20.

[0046] The count means 17 contains the 1st and 2nd input terminals shown with reference numbers 171 and 172, respectively, and an output terminal 173. The count means 17 is constituted so that an electrical potential difference  $V_0$  can be received, namely, so that the pulse which the oscillating detection means 13 supplies to  $t_3$  at the moment can be received. Moreover, the count means 17 counts the pulse supplied again, and it is constituted so that a count result can be supplied to the comparison means 19. For this reason, the terminal 171 is connected to the terminal 134 so that the count means 17 can receive an electrical potential difference  $V_0$  from the oscillating detection means 13.

[0047] The storage means 18 contains the input terminal 181 and the output terminal 182. The storage means 18 memorizes two or more predetermined pulse numbers, and it is constituted so that one of the predetermined pulse number of this may be supplied to the comparison means 19. For this reason, the terminal 181 is connected to the terminal 113 so that the value memorized for the storage means 18 can be changed through a central processing unit 11. As for the storage means 18, it is desirable that the register of the option equipped with two or more bits is included. The register of option is a register with which the contents are not reset, when the system containing this register is made re-active. Namely, the value memorized to such a register within the limits of the desirable operation gestalt shown in drawing 2 is changed by rewriting through the central processing unit 11 of a system 10, or is changed only at the time of initialization of a system 10, i.e., the connection of a power source with a system.

[0048] As an example, the register of the option equipped with three bits B0 and B1 and B-2 is considered. The value expressed by bits B0 and B1 and B-2 is equal to either of the predetermined pulse numbers, and the time interval between two continuous pulses supplied in "sleep" mode, the unit 13, i.e., the oscillating detection means, of time amount, is equal to 10ms. The example of the correspondence relation between bit B-2, and B1, B0 and predetermined pulse number N is shown in following Table 1.



表1

B 2	B 1	B 0	N
0	0	0	1
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	1 6
1	0	1	3 2
1	1	0	6 4
1	1	1	1 2 8

[0049] In order to aim at the improvement in the engine performance, the register of 4-bit option may be prepared, and the 4th bit is used for the validation or nullification of an autonomous time function which the oscillating detection means 13 fills, when the system 10 is "sleep" mode. Too, for the improvement in the engine performance, the register of the option equipped with many bits can be used, and many predetermined pulse numbers can also be memorized more.

[0050] The comparison means 19 contains the 1st and 2nd input terminals shown with reference numbers 191 and 192, respectively, and an output terminal 193. The comparison means 19 is constituted so that one of the count of a pulse and the predetermined pulse numbers is received, these numbers are compared, or a reset instruction signal can be supplied to a control means 20, when these numbers are equal. For this reason, the terminal 191 is connected to the terminal 173 so that the number of the pulses which the comparison means 19 counted after resetting the count means 17 last time can be received. Moreover, the terminal 192 is connected to the terminal 182 so that the comparison means 19 can receive one of the predetermined pulse numbers memorized by the storage means 18.

[0051] The control means 20 contains an input terminal 201 and the 1st and 2nd output terminals shown with reference numbers 202 and 203, respectively. A control means 20 controls 1 set of reset signals of a system 10, and it is constituted so that a reset control signal can be supplied to most components of a system 10. Therefore, the terminal 201 is connected to the terminal 193 so that the reset instruction signal with which a control means 20 is supplied from the comparison means 19 can be received. The terminal 202 is connected to terminals 112 and 142 so that a control means 20 can control a central processing unit 11 and a peripheral device 14, respectively. The terminal 203 is connected to terminals 121, 133, and 172 so that a control means 20 can control reset of the clock system 12, the oscillating detection means 13, and the count means 17, respectively.

[0052] In order to explain control of such a reset signal, the system 10 is "run" mode or "standby" mode, and the case where an unusual situation which was described above occurs is considered. In this case, if the oscillating detection means 13 supplies a pulse, a control means 20 will supply the reset control signal of a system 10.

[0053] a system 10 -- "sleep" mode -- becoming -- \*\*\*\* -- several [ than 1 / larger ] -- the case where the oscillating detection means 13 is used as time base of the predetermined time interval corresponding to N is considered. As shown in drawing 5, in t<sub>3</sub>, a pulse is supplied as an electrical potential difference V<sub>0</sub> at the moment. If the count means 17 assumes that it was initialized by t<sub>0</sub> at the moment, the count means 17 will supply the number of counts of a pulse equal to 1 which is different in several predetermined Ns. Consequently, the comparison means 19 does not supply a reset instruction signal, but an electrical potential difference V<sub>i</sub> is set to 0. This situation is the same as the situation of t<sub>0</sub> at the moment, and this situation is repeated.

[0054] Therefore, as for the oscillating detection means 13, the logic means 17-20 and an interval usually supply a pulse in "sleep" mode every 10ms, and, thereby, time base is formed. The clock signal supplied has the 2nd frequency of about 100Hz. Notice this frequency about it being quite lower than 500Hz, i.e., the 1st frequency defined above. It cannot be overemphasized that the value

of various frequencies was mentioned as an example for explanation to the last. This contractor should be careful of the frequency of the oscillating detection means 13 being decided by the capacitance of a capacitor 23, and the strength of Current Idd as stated in relation to drawing 3 . [0055] Since the operation gestalt of autonomous time base which was described above needs only very slight power, notice especially this system about an advantageous thing. In fact, actuation is mainly influenced by the outflow of the current Idd which charges a capacitor 23. Since an area required to perform this configuration is limited to the area of the logic means 17-20, note that such a system especially is advantageous. In fact, generally the oscillating detection means 13 exists in such a system.

[0056] When a system 10 changes from "run" mode or "standby" mode to "sleep" mode, with reference to drawing 4 , explanation is given below from drawing 1 about actuation of the system 10 in that case of being reverse. Drawing 6 is clock signal CK, an electrical potential difference V0, and three timing charts 51, 52, and 53 showing the wave of a reset signal RST, respectively.

[0057] The system 10 has a time interval which begins from T1 at the time interval which results in T0 at the moment, and the moment in "run" mode or "standby" mode. The clock system 12 is made active by these time intervals, and as shown in timing 51, the condition of clock signal CK changes periodically. As shown in timing 52 and 53, the electrical potential difference V0 which the oscillating detection means 13 supplies to the same time interval is 0 as well as a reset signal RST. As already stated above, it cannot be overemphasized that such a situation is equivalent to a normal situation.

[0058] A system 10 becomes "sleep" mode after T0 at the moment. Therefore, it is supposed that the clock system 12 is inactive, and as shown in timing 51, there is no periodical change of state of clock signal CK. As shown in timing 52, the oscillating detection means 13 supplies a pulse to the same time interval every 10ms. Unless the count of a pulse will become equal to 4 as shown in a timing chart 53 if it assumes that 4 was chosen as predetermined pulse number N, a reset signal RST is 0. In T2, the count of a pulse is equal to 4 at the moment. Therefore, as timing 53 shows, the comparison means 19 supplies a pulse. The time amount of T1 to T2 is equivalent to the reaction time of a system 10 following the reset signal supplied to T2 at the moment, and the stabilization time amount of such a system at the moment. Therefore, the situation of T1 is similar to the initial situation before T0 at the moment at the moment.

[0059] It is needless to say for this contractor that various corrections can be made on the above-mentioned detail explanation, without deviating from the range of this invention. If another operation gestalt is mentioned, an oscillating detection means can be replaced with the means inside a system. If a system changes to "sleep" mode, such a means forms autonomous time base immediately, makes this system re-active at the time of termination of a predetermined time interval, and when a system is not in "sleep" mode, it can achieve a different function from time base formation and re-active-ization.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the system by the Prior art.

[Drawing 2] It is drawing showing the system by this invention.

[Drawing 3] It is the schematic drawing of the oscillating detection means of drawing 2.

[Drawing 4] They are three timing charts showing the wave of three signals relevant to the oscillating detection means of drawing 3 when the system of drawing 2 is "run" mode or "standby" mode.

[Drawing 5] They are three timing charts showing the wave of three signals relevant to the oscillating detection means of drawing 3 when the system of drawing 2 is "sleep" mode.

[Drawing 6] When the system of drawing 2 is "run" mode, "standby" mode, or "sleep" mode, they are three timing charts showing the wave of three signals in this system, respectively.

[Description of Notations]

10 System

11 Central Processing Unit

12 System Clock

13 Oscillating Detection Means

14 Peripheral Device

15 Electrical-Potential-Difference Conversion Means

111 1st Input Terminal

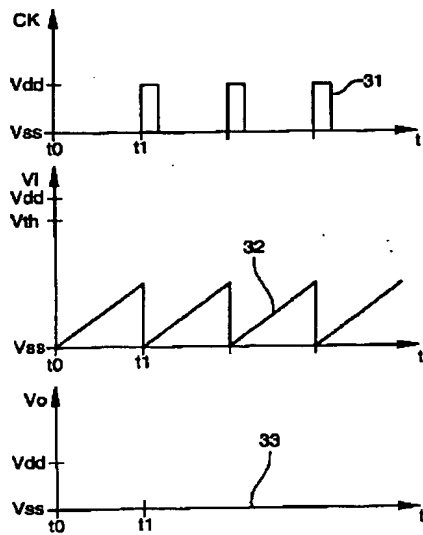
112 2nd Input Terminal

113 Output Terminal

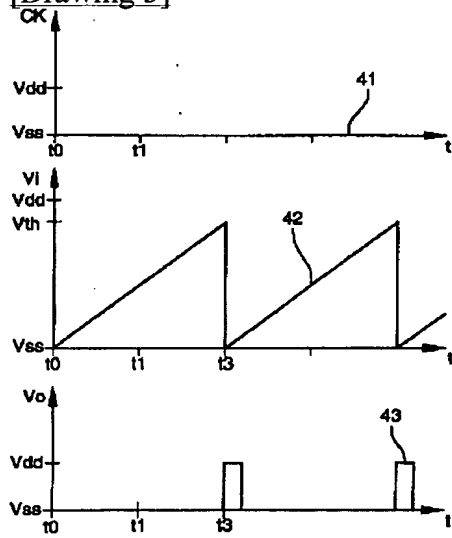
---

[Translation done.]

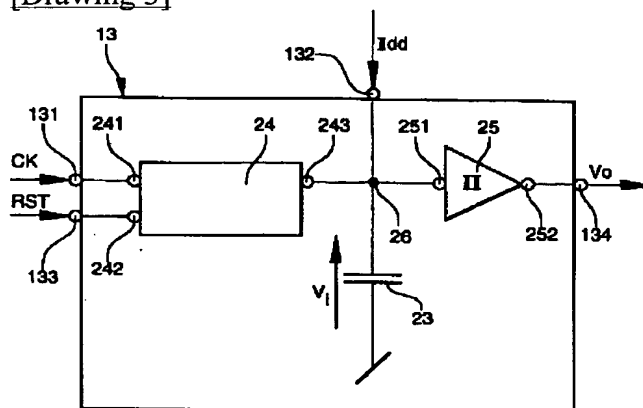




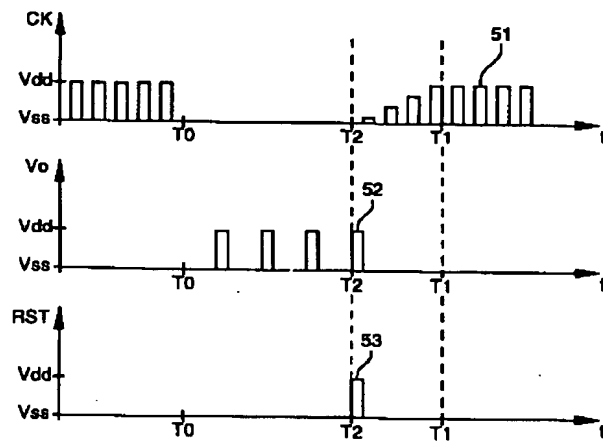
[Drawing 5]



[Drawing 3]



[Drawing 6]



---

[Translation done.]